

AJ

DIALOG(R)File 345:Inpadoc/Fam.& Legal Stat
(c) 2004 EPO. All rts. reserv.

3858639

Basic Patent (No,Kind,Date): JP 57114189 A2 820715 <No. of Patents: 007>

MATRIX DISPLAY DEVICE (English)

Patent Assignee: HITACHI LTD

Author (Inventor): NAKAMURA HISAO; KOUSAKA MASAHIRO

IPC: *G09G-003/20; G09F-009/30; G09G-003/30; G09G-003/36

Language of Document: Japanese

Patent Family:

Patent No	Kind	Date	Applic No	Kind	Date	
DE 3200122	A1	820722	DE 3200122	A	820105	
DE 3200122	C2	860828	DE 3200122	A	820105	
JP 57114189	A2	820715	JP 81347	A	810107	(BASIC)
JP 57114190	A2	820715	JP 81378	A	810107	
JP 90030027	B4	900704	JP 81347	A	810107	
JP 90030028	B4	900704	JP 81378	A	810107	
US 4481511	A	841106	US 335690	A	811230	

Priority Data (No,Kind,Date):

JP 81347 A 810107

JP 81378 A 810107

⑫ 公開特許公報 (A)

昭57-114189

⑤ Int. Cl.³

識別記号

庁内整理番号

⑬ 公開 昭和57年(1982)7月15日

G 09 G 3/20

6453-5C

G 09 F 9/30

7520-5C

G 09 G 3/30

7250-5C

3/36

7250-5C

発明の数 1

審査請求 未請求

(全 14 頁)

⑭ マトリクス表示装置

⑯ 特 願 昭56-347

⑰ 出 願 昭56(1981)1月7日

⑱ 発 明 者 半村久雄

日立市幸町3丁目1番1号株式

会社日立製作所日立研究所内

⑲ 発 明 者 高坂雅博

日立市幸町3丁目1番1号株式

会社日立製作所日立研究所内

⑳ 出 願 人 株式会社日立製作所

東京都千代田区丸の内1丁目5

番1号

㉑ 代 理 人 弁理士 高橋明夫

明 細 書

発明の名称 マトリクス表示装置

特許請求の範囲

1. 行電極と列電極間に表示体を設け、該行電極と列電極の交叉部に形成される画素が全体としてマトリクス状をなし、上記マトリクス状の画素の一行に対向する列電極が各列毎に一定の規則性をもつて複数のグループに分割され、かつグループ毎に電氣的に接続され、上記複数のグループに分割された列電極のうち少なくとも2つのグループの列電極の端子が同一側に引出されるように構成したマトリクス表示パネルと、画像データに基づいて行電極を走査する行電極駆動回路と、画像データに基づいて上記同一側に端子が引き出された少なくとも2つのグループの列電極を駆動する列電極駆動信号を発生し、かつ上記同一側に単数設けられる列電極駆動回路と、上記行電極駆動回路と上記列電極駆動回路に画像データを供給する画像データ供給回路とを具備することを特徴とするマトリクス表示

(1)

装置。

2. 特許請求の範囲第1項に於いて、マトリクス表示パネルの上記少なくとも2つのグループの列電極の端子の配列順序と、列電極駆動回路の出力の配列順序とを一致させることを特徴とするマトリクス表示装置。
3. 特許請求の範囲第1項に於いて、画像データ供給回路から列電極駆動回路へ供給される画像データの配列順序と、マトリクス表示パネルの同一側に引出された少なくとも2つのグループの列電極の端子の配列順序とを一致させることを特徴とするマトリクス表示装置。
4. 特許請求の範囲第1項から第3項に於いて、画像データ供給回路は、画素の一行分の画像データを一時的に記憶する少なくとも一つのバッファメモリと、上記少なくとも一つのバッファメモリに記憶されない画素の一行分の画像データと上記少なくとも一つのバッファメモリに記憶される画像データに基づいて、一走査線の期間内に画素の複数行分の画像データを出力する

(2)

スイッチとを具備することを特徴とするマトリクス表示装置。

5. 特許請求の範囲第1項から第3項に於いて、マトリクス表示パネルは行電極の各行に対向して n 行($n \geq 2$)の画素を形成し、同じ行電極の画素は異なる n 個のグループの列電極に対向して形成することを特徴とするマトリクス表示装置。
6. 特許請求の範囲第5項に於いて、任意の相隣り合う2行の上記行電極に対向する2 n 行の画素が上記異なる n 個のグループの列電極に対向する配列順序を、上記行電極毎に反転させることを特徴とするマトリクス表示装置。

発明の詳細な説明

本発明はマトリクス表示装置の駆動回路に関する。

マトリクス表示装置において多数の画素をコントラストの良好な状態で表示するために、多重マトリクス方式あるいは反転多重マトリクス方式と呼ぶ方式が既に公知である(特開昭54-106189)。

(3)

Y_j ($j = 1, 2, \dots, J$) の A 列電極 $Y_{A,j}$ は奇数行目($2i-1$ 行目)に存在する画素に接続し、 B 列電極 $Y_{B,j}$ は偶数行目($2i$ 行目)に存在する画素に接続されている。

第2図に於いて画像信号 V_D の部分の丸印内に記入した数値は画像信号の走査線の行数を示している。

画像信号入力端子1には第2図に示すとき画像信号 V_D が加えられ、 AD 変換器2は画像信号 V_D とサンプリングクロック CP_1 を受取り、 CP_1 に同期して V_D の値をデジタル信号 SD に変換する。タイミング制御回路3では画像信号 V_D より同期信号を抽出し、表示装置を制御するサンプリングクロック CP_1 、書込クロック CP_A 、 CP_B 、ストロープパルス STB 等のタイミング信号を発生して他の部分に供給する。

ラインメモリ41はデジタル画像信号 SD と走査線の奇数行目の期間に発生する書込クロック CP_A を入力し、 CP_A に同期して走査線の1行分の画像データを順次記憶する。また、ラインメ

(5)

一般的な2重マトリクス方式表示装置の構成と動作波形を第1図及び第2図に示す。

第1図に於いて、100は、画像データ供給回路であり、 AD 変換器2、タイミング制御回路3より構成される。列電極駆動回路4、5はそれぞれラインメモリ41、51、ラッチレジスタ42、52、及び変調器43、53により構成される。6は行電極駆動回路である。

マトリクス表示パネル7は2枚の基板8、9の間に液晶、エレクトロルミネッセンス材料等の電気光学効果を有する材料が封入されている。一方の基板8には I 本の行電極 $X_1 \sim X_I$ が形成されており、他方の基板9には J 本の A 列電極 $Y_{A,1} \sim Y_{A,J}$ と J 本の B 列電極 $Y_{B,1} \sim Y_{B,J}$ が存在し、列電極は電氣的に2つのグループに分割され、 J 列の表示列 $Y_1 \sim Y_J$ を形成する。従つて行電極と列電極が交叉する部分に形成される画素は、 $2I$ 行、 J 列形成され、第 i 行目の行電極 X_i ($i = 1, 2, \dots, I$) は第 $2i-1$ 行目の画素と第 $2i$ 行目の画素に接続している。また、第 j 番目の表示列

(4)

メモリ51はデジタル画像信号 SD と、走査線の偶数行目の期間に発生する書込クロック CP_B を入力とし、 CP_B に同期して走査線の1行分の画像データを記憶する。従つて、ラインメモリ41には常に走査線の奇数行目の画像データが、ラインメモリ51には走査線の偶数行目の画像データが書込まれる。第2図に示す如く、例えば一画面の最初の部分に於いては、まずラインメモリ41には走査線の1行目の画像データが書込まれ、次にラインメモリ51に走査線の2行目の画像データが書込まれる。

ストロープパルス STB は走査線の偶数行目の画像データがラインメモリ51への書込みが終了した時点で発生する。ラッチレジスタ42、52はラインメモリ41、51に記憶された全画像データとストロープパルス STB を入力し、 STB に同期してラインメモリ41、51中の全画像データを一斉にラッチする。

変調器43はラッチレジスタ42にラッチされた走査線の奇数行目の画像データを入力し、各画

(6)

素の輝度を変調する列電極駆動信号 V_{YAJ} ($j = 1, 2, \dots, J$) を発生し列電極 Y_{AJ} に供給し、同様に変調器 53 はラッチレジスタ 52 にラッチされた走査線の偶数行目の画像データを入力して列電極駆動信号 V_{YBJ} を発生し、列電極 Y_{BJ} に供給する。

行電極駆動回路 6 はストローブパルス STB を入力して行電極駆動信号 V_{Xi} ($i = 1, 2, \dots, I$) を発生して行電極 X_i に供給する。行電極駆動信号 V_{Xi} は行電極 X_i の 1 行のみが選択状態になり、残りの行電極は非選択状態になり、かつ選択状態である行電極 X_i がストローブパルス STB に同期して順次移動するものである。

尚、行電極駆動信号 V_{Xi} 及び列電極駆動信号 V_{YAJ} , V_{YBJ} の具体的波形は表示パネルに用いる電気光学材料によつて異なる。

画像信号 VD の走査線の第 1 行目と第 2 行目でそれぞれラインメモリ 41, 51 に書込まれた画像データは前述の如く走査線の第 2 行目の終りのストローブパルス STB の発生によつてラッチレジスタ 42, 52 に転送され、変調器 43, 53

(7)

9 の一方側に集めた場合の従来例である。第 3 図に於いて、第 1 図と同一記号は同一の部分を示す。

第 3 図に示す様に、異なる列電極 Y_{AJ} , Y_{BJ} の端子をマトリクス表示パネル 7 の同一方向側に設ける場合、列電極 Y_{AJ} , Y_{BJ} と列電極駆動回路 4, 5 との信号接続線は交叉するために、フラットケーブルで一括接続することはできなく多層配線となり、製造コストが高くなるという欠点がある。

本発明の目的は上記欠点を除去し、列電極と列電極駆動回路との接続線が交叉せずに、容易に接続作業が行なえるマトリクス表示装置を提供することにある。

上記目的を達成する本発明マトリクス表示装置の特徴とするところは、マトリクス表示パネルのマトリクス状の画素の一行に対向する列電極が各列毎に一定の規則性を持つて電気的に複数のグループに分割され、複数のグループに分割された列電極のうち少なくとも 2 つのグループの列電極の端子が同一側に引出され、同一側に引出された少なくとも 2 つのグループの列電極端子を単一の列

(9)

で列電極駆動信号 V_{YAJ} , V_{YBJ} に交換され、列電極 Y_{AJ} , Y_{BJ} にはそれぞれ第 1 行目と第 2 行目の画像データが出力される。この間にラインメモリ 41, 51 にはそれぞれ次の画像データとして映像信号 VD の走査線の第 3 行目と第 4 行目の画像データが書込まれる。このとき、行電極駆動回路 6 は行電極の第 1 行目 X_i を選択状態とする行電極駆動信号 V_{Xi} を発生し、表示列 Y_j の第 1 行目と第 2 行目の画素が表示される。

画像信号 VD の走査線の第 4 行目の終りに再びストローブパルス STB が発生し、列電極駆動信号 V_{YAJ} , V_{YBJ} は、それぞれ画像信号 VD の第 3 行目と第 4 行目に対応した駆動信号となり、また行電極駆動信号 V_{Xi} は行電極の第 2 行目 X_i を選択状態とするので、表示列 Y_j の第 3 行目と第 4 行目の画素が表示される。以下同様の動作を繰り返して画素表示が行なわれる。

第 3 図は第 1 図に示す装置を小型化するために列電極 Y_{AJ} , Y_{BJ} の引出し端子及び列電極駆動回路 4, 5 をマトリクス表示パネル 7 の一方の基板

(8)

電極駆動回路に接続した点にある。

本発明マトリクス表示装置の特徴とするところを具体的に言えば、マトリクス表示パネルのマトリクス状の画素の一行に対向する列電極が各列毎に一定の規則性を持つて電気的に複数のグループに分割され、複数のグループに分割された列電極のうち少なくとも 2 つのグループの列電極の端子が同一側に引出され、同一側に引出された少なくとも 2 つのグループの列電極を単一の列電極駆動回路に接続し、画像データ供給回路から列電極駆動回路へ供給される画像データの配列順序と、マトリクス表示パネルの同一側に引出された少なくとも 2 つのグループの列電極の端子の配列順序とを一致させた点にある。

ここでいう列電極を電気的に複数のグループに分けるための一定の規則性とは、例えば列電極を行電極数の 4 倍に分割し、各行電極に対向して 4 行の画素を形成するようにし、4 つのグループ a , b , c , d に分ける場合、列電極のグループ分けは、第 1 行目から順次 a , b , c , d , a , b ,

(10)

c, d, ...となる多重方式、a, b, c, d, d, c, b, a, a, b, c, d, ...となる反転多重方式等のように配列順序が規則正しく繰返された配列となつてゐることを意味する。

更に、画像データ供給回路から列電極駆動回路へ供給される画像データの配列順序とマトリクス表示パネルの同一側に引出された少なくとも2つのグループの列電極の端子の配列順序とを一致させるとは、例えば列電極を4重方式でグループに分け、列電極の端子を総てマトリクス表示パネルの同一側に引出し、その配列順序を第1列から順次a, b, c, d(以上第1列)、a, b, c, d(以上第2列)、...とする場合に、列電極駆動回路のラインメモリに書込む画像データの記憶順序をIa, Ib, Ic, Id(以上第1列)、Ia, Ib, Ic, Id(以上第2列)、...とすることを意味する。

本発明の第1の実施例を第4図及び第5図を用いて説明する。両図に於いて第1図から第3図と同一記号は同一の部分を示す。

(11)

する。

スイッチ12はデジタル画像信号SD₁とSD₂及び切換クロックCP₁を入力として、SD₁とSD₂の走査線の2行分の画像データをデジタル画像信号SD₁として出力する。

第5図に示すごとく、バッファメモリ書込クロックCP₁は奇数行目の走査線の期間に発生させるので、CP₁によつてバッファメモリ11には走査線の奇数行目の画像データが記憶される。またバッファメモリ読出しクロックCP₂は偶数行目の走査線の期間に発生するので、デジタル画像信号SD₂は第2行目の走査線の期間に第1行目の画像データが、第4行目には第3行目の画像データが、第2i行目には、第2i-1行目の画像データが出力される。

スイッチ12はデジタル画像信号SD₁とSD₂及び切換クロックCP₁を入力し、偶数行目の走査線の期間にSD₁とSD₂を交互に切換えて出力SD₁とする。したがつて、デジタル画像信号SD₁は走査線の偶数行目の1行の間に走査線の

(13)

第4図に於いて、列電極駆動回路10は、ラインメモリ101、ラッチレジスタ102、変調器103より構成されるが、単独でA列電極Y_{A1}とB列電極Y_{B1}の両方を駆動できるように、出力数は2Jとなつてゐる。

画像データ供給回路100は、AD変換器2、タイミング制御回路3、バッファメモリ11及びスイッチ12より構成される。

タイミング制御回路3は、サンプリングクロックCP₁、バッファメモリ書込クロックCP₂、バッファメモリ読出しクロックCP₃、切換クロックCP₄、ラインメモリ書込クロックCP₅を発生する。

バッファメモリ11はデジタル画像信号SD₁とバッファメモリ書込クロックCP₂及びバッファメモリ読出しクロックCP₃を入力し、CP₂に同期して走査線の1行分の画像データを順次記憶し、CP₃に同期して記憶した走査線の1行分の画像データを順次出力する。バッファメモリ11から出力されるデジタル画像信号をSD₂と

(12)

2行分の画像データを含んでいる。スイッチ12は切換クロックCP₄で制御され、初めはSD₁が入力される。したがつてデジタル画像信号SD₁には走査線の奇数行目の画像データが先になるようにして、奇数行目と偶数行目の画像データが交互に出力される。この配列順序はマトリクス表示パネル7における列電極の列電極駆動回路10との接続順序がY_{A1}, Y_{B1}, ...のごとくA側が先に並んでいることに対応するものである。

第4図に於いて、列電極駆動回路10内のラインメモリ101はデジタル画像信号SD₁とラインメモリ書込クロックCP₅を入力とし、CP₅に同期してSD₁の値を順次記憶する。ラインメモリ書込クロックCP₅は第5図に示すように画像信号VDの偶数行目の走査線の期間に発生し、その周波数は第2図に示す従来例の2倍になつてゐるので、ラインメモリ101では1走査線の期間に2行分の画像データを書込むことができる。

ラッチレジスタ102及び変調器103は内部の回路数が第1図及び第3図に示す従来例の2倍

(14)

の2J個になつている他は従来例と同じであり、偶数行目の走査線の期間の終りで発生するストロープパルスSTBに同期してラインメモリ101の画像データを取込んで、列電極駆動信号 V_{YA1} 、 V_{YB1} に変換して出力する。

本実施例のマトリクス表示パネルは列電極をすべて基板の同一側から駆動するようにした2重マトリクス方式である。すなわちA列電極 $Y_{A1} \sim Y_{AJ}$ とB列電極 $Y_{B1} \sim Y_{BJ}$ の端子が基板の一方の端に引出され、基板の端部に並んだ列電極の端子の配列順序は Y_{A1} 、 Y_{B1} 、 Y_{A2} 、 Y_{B2} 、 \dots 、 Y_{AJ} 、 Y_{BJ} のごとくA列電極とB列電極が交互になつてゐる。列電極駆動回路10内の変調器103の出力である2J本の列電極駆動信号は第4図に示すごとく順序をかえることなく該2J本の列電極に接続する。

以上のごとき構成においては、前述のとおりラインメモリ101には走査線の奇数行目の画像データと偶数行目の画像データを交互に書込んでゐるので、A列電極の各列 Y_{Aj} にはすべて走査線

(15)

B列電極が構成され、各々に Y_{A1} 、 Y_{A2} 、 \dots 、 Y_{AJ} 、 \dots 、 Y_{AJ} 及び Y_{B1} 、 Y_{B2} 、 \dots 、 Y_{BJ} 、 \dots 、 Y_{BJ} と符号をつけることも第4図と同じである。

しかし、列電極が各画素と接続する方法は第4図と異なつてゐる。すなわち、A列電極 Y_{Aj} は奇数番目の行電極 X_{2m-1} ($m=1, 2, \dots, I/2$)と対向する所では表示列 Y_j の奇数行目の画素と接続しており、偶数番目の行電極 X_{2m} ($m=1, 2, \dots, I/2$)と対向する所では表示列 Y_j の偶数行目の画素と接続している。例えばA列電極 Y_{A1} は行電極 X_1 と対向する所では第1行目の画素に接続しており、行電極 X_2 と対向する所では第4行目の画素に接続している。

またB列電極 Y_{Bj} は奇数番目の行電極 X_{2m-1} ($m=1, 2, \dots, I/2$)と対向する所では表示列 Y_j の偶数行目の画素に接続しており、偶数番目の行電極 X_{2m} ($m=1, 2, \dots, I/2$)と対向する所では表示列 Y_j の奇数行目の画素に接続している。例えば Y_{B1} は X_1 と対向する所で第2行目の画素に接続し、 X_2 と対向する所で第3行目

(17)

の奇数行目に対応する駆動信号 V_{YA1} が印加され、B列電極の各列 Y_{Bj} にはすべて走査線の偶数行目に対応する駆動信号 V_{YB1} が印加され、列電極 Y_{Aj} 及び Y_{Bj} と列電極駆動回路10との接続線は交叉しない。

以上の実施例は表示列の奇数行目の画素に接続する列電極と偶数行目の画素に接続する列電極が交互に並んでいたため、ラインメモリへ画像データを書込む順序も走査線の奇数行目の画像データと偶数行目の画像データを交互にしたものである。

第6図は本発明の第2の実施例で反転2重マトリクス方式表示パネルの一例を示している。

同図において画素数は第4図と同じく2I行×J列であり、一方の基板8とその面上に形成された行電極も従来と同一である。行電極はI本あり、各々は X_1 、 X_2 、 \dots 、 X_1 、 \dots 、 X_1 と符号をつけて区別し、1本の X_i は画素の2i-1行目と2i行目の両方に接続することも第4図と同一である。

また他方の基板9にはJ本のA列電極とJ本の

(16)

の画素と接続している。

すなわち、A列電極 Y_{Aj} 及びB列電極 Y_{Bj} はいずれも表示列 Y_j の奇数行の画素に接続する所と偶数行の画素に接続する所がある。本発明はこのような場合に用いることも可能である。そのために、装置の構成を変更する必要はなく、本実施例の構成はマトリクス表示パネルの部分第6図に示したものとする以外は第4図と同一である。

本実施例と第4図の実施例の差はスイッチ12の動作法にある。本実施例の動作状態を第7図を用いて説明する。

本実施例におけるサンプリングパルス CP_1 とデジタル画像信号 SD_1 は第5図と同様にすべての走査線の間で発生しており、第7図では省略した。又、バッファメモリ書込クロック CP_2 、バッファメモリ読出クロック CP_3 及びデジタル画像信号 SD_2 も第5図と同様であり、バッファメモリ11は奇数行目の走査線の画像データを記憶して、偶数行目の走査線の期間に SD_2 として出力する。

(18)

スイッチ12は切換クロックCP₁によつて制御され、走査線の第2行目においては第5図の場合と同じくデジタル画像信号SD₁とSD₂を交互に切換えて、2倍のデータ数を有するデジタル画像信号SD₃を出力する。この切換えの順序は第5図と同じく、SD₁の最初に走査線の第1行目の画像データであるSD₁が出力され、次に走査線の第2行目の画像データであるSD₂が出力されるように制御される。

列電極駆動回路10及び行電極駆動回路6に与えられる信号及び回路の動作は第4図及び第5図と同様である。従つて、第7図に示すごとく走査線の第3行目と第4行目の間に行電極X₁が選択状態になり、列電極Y_{A1}、Y_{B1}には走査線の第1行目と第2行目に対応した列電極駆動信号V_{YA1}、V_{YB1}が印加される。このときA列電極Y_{A1}には走査線の第1行目、B列電極Y_{B1}には走査線の第2行目の画像データに対応した列電極駆動信号V_{YA1}、V_{YB1}が与えられる。

これに対し、走査線の第4行目においては切換

(19)

書込む順序を行電極と列電極の対向状態に対応して走査線ごとく変更している点にある。このために、第5図のごとくA列電極は奇数行の画素のみに接続し、B列電極は偶数行の画素のみに接続するという限定は不必要となる。

第8図及び第9図は本発明を反転4重マトリクス方式表示装置に適用した第3の実施例であり、両図に於いて、第4図～第7図と同一記号のものは同一物及び相当物を示す。

反転4重マトリクス方式に於いては任意の1行の行電極X_i (i=1, 2, …, I) に対向して4行の画素が存在する。1表示列Y_j (j=1, 2, …, J) の列電極は4つのグループに、分割され、それぞれA列電極Y_{Aj}、B列電極Y_{Bj}、C列電極Y_{Cj}、D列電極Y_{Dj}を形成する。第8図に於いて任意の隣り合う行電極、例えばX₁とX₂に対向する画素の接続にあたり、A列電極Y_{Aj} (j=1, 2, …, J) は、X₁に対向する最初の行を構成する(即ち第1行目の)画素とX₂に対向する最後の行を構成する(即ち第8行目の)画素とを接続

(21)

クロックCP₁は走査線の第2行目と異なり、スイッチ12は最初に第4行目の画像データであるSD₁に接続し、次に第3行目の画像データであるSD₂に接続するように制御される。このようにして発生したデジタル画像信号SD₃がラインメモリ101に書き込まれ、走査線の第5行目と第6行目の間に列電極駆動信号V_{YA1}、V_{YB1}に変換されて列電極Y_{A1}、Y_{B1}に印加される。このとき第2番目の行電極X₂が選択状態であり、またA列電極Y_{A1}には第4行目、B列電極Y_{B1}には第3行目の画像データに対応した列電極駆動信号V_{YA1}、V_{YB1}が印加される。第6図のマトリクス表示パネルの構成と対応させると、第2番目の行電極X₂が選択状態にある間に表示列Y_jの第3行目の画素に走査線の第3行目に対応する表示が行なわれ、表示列Y_jの第4行目の画素に走査線の第4行目に対応する表示が行なわれることが明らかである。また、第5行目以下の画素の表示動作は第1行目から第4行目までの繰返しとなる。

本実施例の要点はラインメモリに画像データを

(20)

し、またB列電極Y_{B1}は、X₁に対向する2番目の行を構成する(即ち第2行目の)画素とX₂に対向する最後から2番目の行を構成する(即ち第7行目の)画素とを接続し、以下同様にC列電極Y_{Cj}は、第3行目、第6行目の画素、D列電極Y_{Dj}は、第4行目、第5行目の画素を接続する。上記の様な構成によれば4重マトリクス方式に於いて画素間の接続(列電極)を立体交叉させたり、迂回させる必要がない。

本実施例のマトリクス表示パネル7に於いては、画素は、4I行、J列で形成される。

A列電極Y_{Aj}とB列電極Y_{Bj}はマトリクス表示パネル7の一方の基板9の一方の端に引出しAB列電極駆動回路10と接続され、C列電極Y_{Cj}とD列電極Y_{Dj}は一方の基板9の他方の端に引出しCD列電極駆動回路20と接続される。また、タイミング制御回路3で発生されるラインメモリ書き込みクロックはCP_{AB}とCP_{CD}の2種類となり、それぞれAB列電極駆動回路10、CD列電極駆動回路20に供給される。第8図に於けるその他

(22)

の部分の構成は第4図と同様である。

第9図は第8図に示される本発明の第3の実施例の動作を説明する図である。

サンプリングクロック CP_1 及びデジタル画像信号 SD_1 は第1及び第2の実施例と同様に各行の走査線の期間で発生しているため第9図では省略している。また、第1及び第2の実施例と同様にバッファメモリ書込クロック CP_2 は走査線の奇数行目(第 $2n-1$ 行目($n=1, 2, \dots, 2I$))に発生し、バッファメモリ読出クロック CP_3 は走査線の偶数行目(第 $2n$ 行目)に発生し、従つて、バッファメモリ11の出力であるデジタル画像信号 SD_2 は走査線の偶数行目(第 $2n$ 行目)で発生し、走査線の奇数行目(第 $2n-1$ 行目)の画像データより構成される。第9図に於いては SD_2 は省略した。

スイッチ12はデジタル画像信号 SD_1, SD_2 及び切換クロック CP_4 を入力して、偶数行目の走査線の期間に切換クロック CP_4 によつて SD_1 と SD_2 を交互に切換えてデジタル画像信号 SD_3

(23)

る第3行目と第4行目の画像データはデジタル画像信号 SD_3 によつてCD列電極駆動回路20内のラインメモリに書込まれる。

ストロブパルス STB は本実施例に於いては、走査線の第1行目から第4行目の画像データをラインメモリへ書込み終えた時に発生し、上記画像データがラッチされ、走査線の第5行目から第8行目の期間で第1番目の行電極 X_1 が選択状態になる。変調器によつて上記画像データは列電極駆動信号 $V_{Y1}, V_{Y2}, V_{Y3}, V_{Y4}$ に変換され、A列電極 Y_A には走査線の第1行目の画像データが、B列電極 Y_B には走査線の第2行目の画像データが、C列電極 Y_C には走査線の第3行目の画像データが、D列電極 Y_D には走査線の第4行目の画像データが出力される。従つて、第8図のマトリクス表示パネル7の画素の構成と対応して表示列 Y_1 の第1行目から第4行目までの画素の正しい画像データが表示される。

第1番目の行電極 X_1 が選択され、表示列 Y_1 の第1行目から第4行目までの画素の画像データ

(25)

を出力とする。

今、走査線の第1行目から第8行目までを例にとつて説明すると、走査線の第2行目に於いては、 SD_1 には走査線の第1行目の画像データが先に現われ、走査線の第2行目の画像データが後に現われる。同様に走査線の第4行目に於いては、 SD_1 には第3行目の画像データが先に現われ、第4行目の画像データが後に現われる。一方、走査線の第6行目及び第8行目に於いては、 SD_2 には、走査線の偶数行目である第6行目の画像データ及び第8行目の画像データが先に現われ、走査線の奇数行目である第5行目の画像データ及び第7行目の画像データが後に現われる。

ラインメモリ書込クロック CP_{AB} は、まず走査線の第2行目に発生するので、上記第2行目に出力される第1行目と第2行目の画像データはデジタル画像信号 SD_3 によつてAB列電極駆動回路10内のラインメモリに書込まれる。また、ラインメモリ書込クロック CP_{CD} は、まず走査線の第4行目に発生するので、上記第4行目に出力され

(24)

が表示される走査線の第5行目から第8行目の期間に、次の画像データである走査線の第5行目から第8行目までの画像データが列電極駆動回路10, 20に入力される。

前記の様に、走査線の第6行目に於いては、デジタル画像信号 SD_3 には走査線の第6行目の画像データが先に現われ、走査線の第5行目の画像データが後に現われる。このとき、ラインメモリ書込クロック CP_{CD} が発生し、走査線の第5行目と第6行目の画像データはCD列電極駆動回路20内のラインメモリに書込まれる。

走査線の第8行目に於いては、デジタル画像信号 SD_3 には走査線の第8行目の画像データが先に現われ、第7行目の画像データは後に現われる。このとき、ラインメモリ書込クロック CP_{AB} が発生し、走査線の第7行目と第8行目の画像データはAB列電極駆動回路10内のラインメモリに書込まれる。

前記と同様に、走査線の第5行目から第8行目の画像データをラインメモリへ書込み終えた時に

(26)

ストロブパルス STB が発生し、上記画像データがラッチされ、走査線の第 9 行目から第 12 行目の期間で第 2 番目の行電極 X_2 が選択状態になる。上記画像データは変調器によつて列電極駆動信号 $V_{Y_{A1}}, V_{Y_{B1}}, V_{Y_{C1}}, V_{Y_{D1}}$ に変換され、A 列電極 Y_{A1} には走査線の第 8 行目の画像データが、B 列電極 Y_{B1} には走査線の第 7 行目の画像データが、同様に C 列電極 Y_{C1} 及び D 列電極 Y_{D1} には走査線の第 6 行目及び第 5 行目の画像データが出力され、表示列 Y_1 の第 5 行目から第 8 行目の画像に、走査線の第 5 行目から第 8 行目の画像データが正しい順序で表示されることがわかる。

第 9 行目以下の画像の表示は上記の動作の繰り返してあることは容易にわかるであろう。

本実施例に於いても、列電極 $Y_{A1} \sim Y_{D1}$ と列電極駆動回路 10、20 との信号接続線は交差ししないことは明らかである。

第 10 図は本発明による第 4 の実施例であり、第 4 図～第 8 図と同一記号のものは同一物及び相当物を示す。

(27)

目、第 4 i 行目の画像データをラインメモリに書き込む。ラインメモリに画像データを書き込む順序は、 i が奇数のときは、第 4 $i-3$ 行目、第 4 $i-2$ 行目、第 4 $i-1$ 行目、第 4 i 行目の順序で、 i が偶数のときは、第 4 i 行目、第 4 $i-1$ 行目、第 4 $i-2$ 行目、第 4 $i-3$ 行目の順序で書き込まれる。ストロブパルス STB は 4 行分の画像データがラインメモリに書き込み終えたときに発生する。

従つて、奇数番目の行電極 X_1 が選択されているときは、A 列電極 Y_{A1} には走査線の第 4 $i-3$ 行目の画像データが、B 列電極 Y_{B1} には走査線の第 4 $i-2$ 行目の画像データが、C 列電極 Y_{C1} には走査線の第 4 $i-1$ 行目の画像データが、D 列電極 Y_{D1} には走査線の第 4 i 行目の画像データが夫々出力される。偶数番目の行電極 X_1 が選択されているときは、A 列電極 Y_{A1} には走査線の第 4 i 行目の画像データが、B 列電極 Y_{B1} には走査線の第 4 $i-1$ 行目の画像データが、C 列電極 Y_{C1} には走査線の第 4 $i-2$ 行目の画像データが、

(29)

第 8 図及び第 9 図に示した第 3 の実施例に於いては列電極をマトリクス表示パネル 7 の一方の基板 9 の両端に引出していたが、第 10 図に示す本第 4 の実施例では、反転 4 重マトリクス方式に於いてすべての列電極 $Y_{A1} \sim Y_{D1}$ を一方の基板 9 の同一側に引出している。

第 10 図に於いて、列電極駆動回路 10 は 4 J 本の列電極 $Y_{A1}, Y_{B1}, Y_{C1}, Y_{D1}$ を駆動する。また、バッファメモリ 11 は 3 行分必要となる。走査線の第 4 i 行目 ($i = 1, 2, \dots, I$) に於いては、バッファメモリ 11 1, 11 2, 11 3 から出力する第 4 $i-3$ 行目、第 4 $i-2$ 行目、第 4 $i-1$ 行目までの画像データと、AD 変換器 2 から出力される走査線の第 4 i 行目の画像データを、スイッチ 12 で切換えて、同時列電極駆動回路 10 のラインメモリに書き込む。スイッチ 12 は走査線の第 4 i 行目の期間に発生する切換クロック CP_4 によつて制御されるので、デジタル画像信号 SD_1 は、走査線の第 4 i 行目の期間に上記第 4 $i-3$ 行目、第 4 $i-2$ 行目、第 4 $i-1$ 行

(28)

D 列電極 Y_{D1} には走査線の第 4 $i-3$ 行目の画像データが出力され、画像データが正しい順序で表示されることがわかる。

本実施例に於いても、列電極 $Y_{A1} \sim Y_{D1}$ と列電極駆動回路 10 との信号接続線は交差ししないことがわかる。

尚、以上説明した本発明の実施例では、2 重、反転 2 重、反転 4 重マトリクス方式を例にとつて説明したが、1 表示列の列電極が電氣的に複数のグループに分割され、かつ該複数のグループに分割された列電極の内、少なくとも 2 つのグループの列電極の端子がマトリクス表示パネルの同一側に設けられているものであれば、一般的な多重マトリクス方式、反転多重マトリクス方式の他に、行電極も分割せたいわゆる多段マトリクス方式等にも本発明は適用できうる。

また、上記の実施例では、画像信号 VD は AD 変換器 2 によつてデジタル画像信号 SD_1 に変換されるものとしたが、中間調を必要としない文字表示装置等に於いては、 SD_1 を単に白と黒を区

(30)

別する2値信号であつても良い。

さらに、ラインメモリ、バッファメモリ等のメモリは電荷結合素子(CCD)等のアナログメモリを用いても良い。即ち、メモリの入力画像データであれば、デジタル信号でもアナログ信号でも使用可能である。アナログ信号を使用する場合はAD変換器は省略してよい。

また、画像信号VDの総ての走査線を表示に用いるとしたが、m行ごとの1行に間引して表示する場合に於いても本発明は適用できうる。

また、スイッチ12は画像データの切換を行なう電子回路であればよく、論理ゲートで構成してもよい。

さらに、上記実施例では一般のテレビジョンの画像信号を入力する場合を説明したので、複数行のデータを同時に得るために1〜数行分のバッファメモリを用いているが、コンピュータの端末装置等に於いては、一画面の画像データがフレームメモリと呼ばれる大きなバッファメモリに既に入っている。従つて、この場合にはラインメモリに

(31)

表示装置の駆動動作を説明するためのタイムチャート、第6図は本発明マトリクス表示装置の第2の実施例の表示パネルの構成を示す図、第7図は第6図のマトリクス表示装置の駆動動作を説明するためのタイムチャート、第8図は本発明マトリクス表示装置の第3の実施例の構成を示す図、第9図は第8図のマトリクス表示装置の駆動動作を説明するためのタイムチャート、第10図は本発明マトリクス表示装置の第4の実施例の構成を示す図である。

7…マトリクス表示パネル、10、20…列電極駆動回路、100…画像データ供給回路、101…ラインメモリ、11…バッファメモリ、12…スイッチ、Y₁…表示列、Y_{A1}、Y_{B1}、Y_{C1}、Y_{D1}…列電極。

代理人 弁理士 高橋明夫



(33)

書き込むべき複数行のデータは直接フレームメモリから読出すことができ、別に数行分のバッファメモリやスイッチを設ける必要はない。また、フレームメモリ内のデータは既にデジタル化されているのでAD変換器も必要としない。即ち、本発明に必要なものは複数行の画像データをラインメモリに所定の順序で供給する画像データ供給回路であり、種々の構成が考えられる。

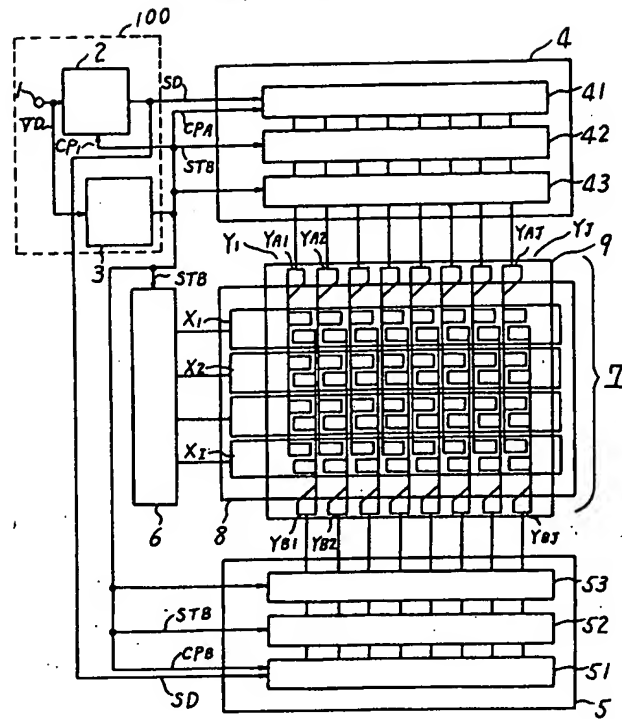
以上述べた様に、本発明によれば、列電極と列電極駆動回路との信号接続線が交差することなく、列電極駆動回路の出力と列電極を1対1に単純に接続すればよく、容易に接続作業が行なえるマトリクス表示装置を得ることができる。

図面の簡単な説明

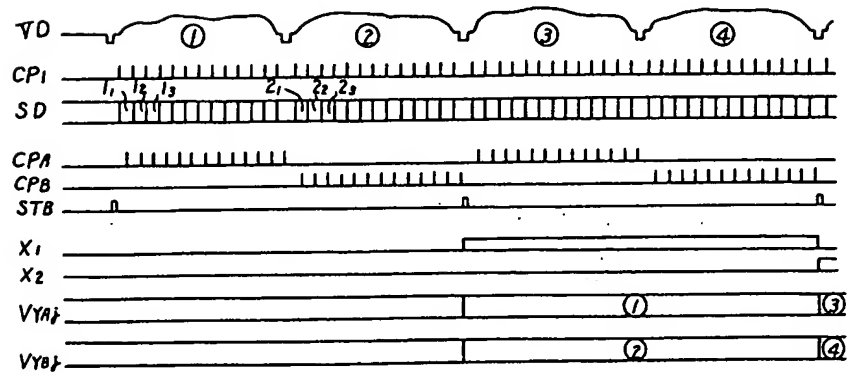
第1図は従来のマトリクス表示装置の構成を示す図、第2図は第1図のマトリクス表示装置の駆動動作を説明するためのタイムチャート、第3図は従来の別のマトリクス表示装置の構成を示す図、第4図は本発明マトリクス表示装置の第1の実施例の構成を示す図、第5図は第4図のマトリクス

(32)

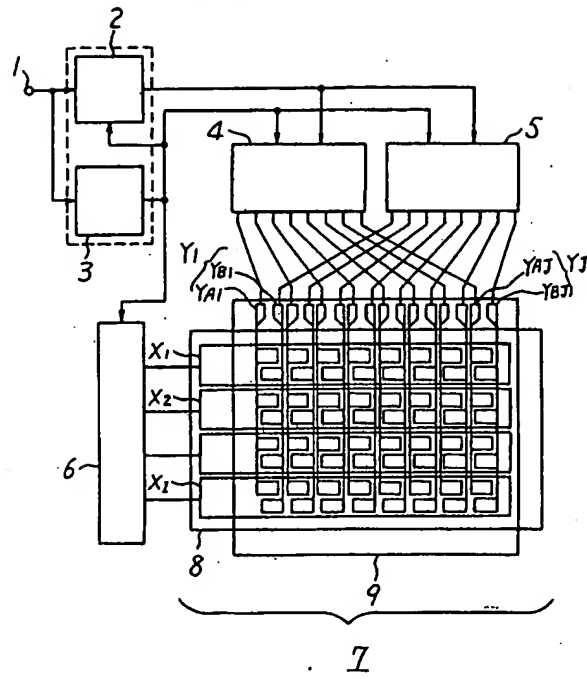
第 1 図



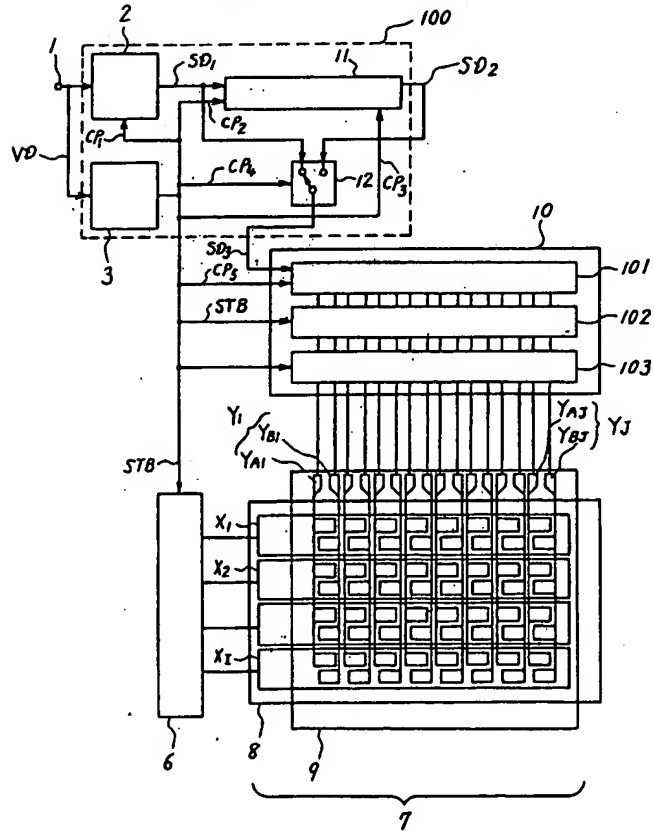
第 2 図



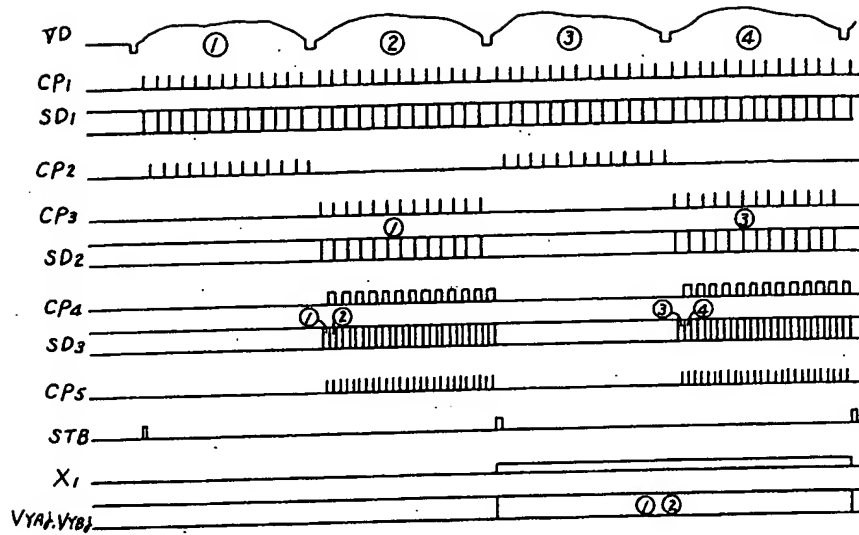
第 3 図



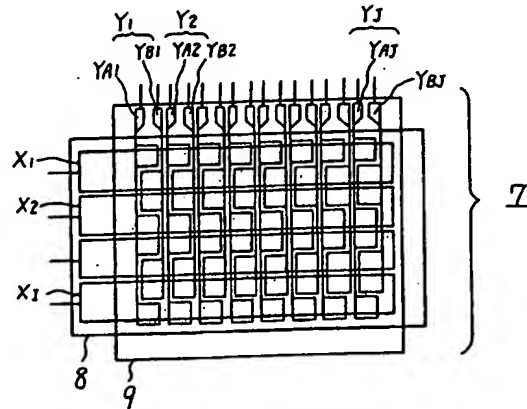
第 4 図



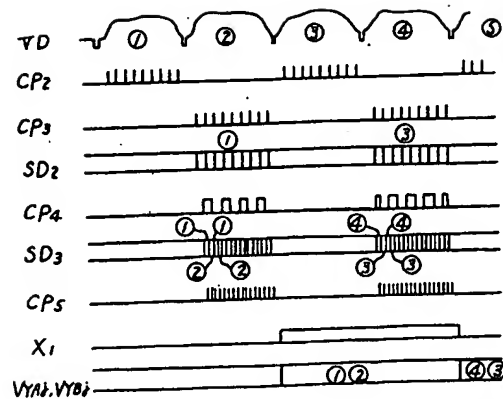
第 5 図



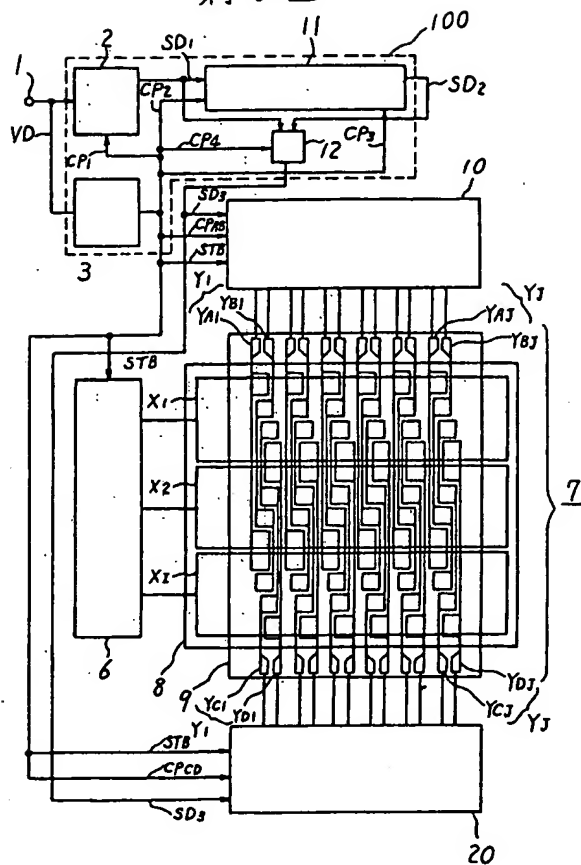
第 6 図



第 7 図



第 8 図



第 9 図

